

Customer No. 31561
Application No.: 10/711,380
Docket No.13464-US-PA

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Applicant : Tung
Application No. : 10/711,380
Filed : Sep 15, 2004
For : VOLTAGE CONTROLLED OSCILLATOR
Examiner : N/A
Art Unit :2817

ASSISTANT COMMISSIONER FOR PATENTS
Arlington, VA22202

Dear Sir:

Transmitted herewith is a certified copy of Taiwan Application No.: 93114371,
filed on: 2004/5/21.

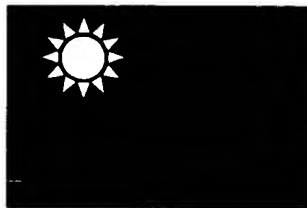
A return prepaid postcard is also included herewith.

Respectfully Submitted,
JIANQ CHYUN Intellectual Property Office

Dated: March 16, 2005

By: Belinda Lee
Belinda Lee
Registration No.: 46,863

Please send future correspondence to:
7F-1, No. 100, Roosevelt Rd.,
Sec. 2, Taipei 100, Taiwan, R.O.C.
Tel: 886-2-2369 2800
Fax: 886-2-2369 7233 / 886-2-2369 7234
E-MAIL: BELINDA@JCIPGroup.com.tw; USA@JCIPGroup.com.tw



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
(REPUBLIC OF CHINA)

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder

申請日：西元 2004 年 05 月 21 日
Application Date

申請案號：093114371
Application No.

申請人：凌陽科技股份有限公司
Applicant(s)

局長
Director General

蔡練生

CERTIFIED COPY OF
PRIORITY DOCUMENT

發文日期：西元 2004 年 9 月 2 日
Issue Date

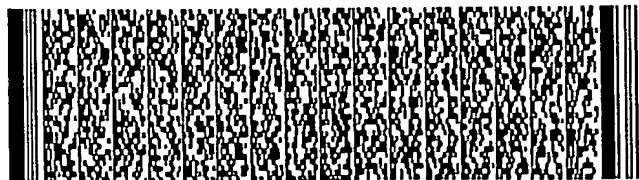
發文字號：09320816200
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	電壓控制振盪器
	英 文	Voltage control oscillator
二、 發明人 (共1人)	姓 名 (中文)	1. 童彥彰
	姓 名 (英文)	1. TUNG, YEN CHANG
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (中 文)	1. 桃園縣龍潭鄉向陽一街90號
	住居所 (英 文)	1. NO. 90, SIANGYANG 1ST., LONGTAN TOWNSHIP, TAOYUAN COUNTY 325, TAIWAN (R. O. C.)
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 凌陽科技股份有限公司
	名稱或 姓 名 (英文)	1. SUNPLUS TECHNOLOGY CO., LTD.
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 新竹縣科學園區創新一路19號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. 19, INNOVATION ROAD 1, SCIENCE-BASED INDUSTRIAL PARK, HSINCHU, TAIWAN, R. O. C.
	代表人 (中文)	1. 黃洲杰
	代表人 (英文)	1. HUANG, CHOU, CHYE



13464twf.pdf

四、中文發明摘要 (發明名稱：電壓控制振盪器)

一種電壓控制振盪器，依照輸入電壓輸出具有一頻率之時脈訊號，包括定電流源、電壓電流轉換電路、電流鏡以及振盪電路。定電流源係提供預定之參考電流量。電壓電流轉換電路耦接至定電流源，以依照輸入電壓決定通過電壓電流轉換電路之第一電流量。電流鏡具有第一電流端以及第二電流端，第一電流端耦接至定電流源，以依照通過第一電流端之第二電流量而決定通過第二電流端之第三電流量，其中第二電流量係由該參考電流量減去該第一電流量而決定之。振盪電路耦接至電流鏡之第二電流端，用以依照第三電流量決定所輸出時脈訊號之頻率。

五、英文發明摘要 (發明名稱：Voltage control oscillator)

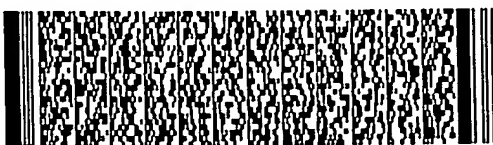
A voltage control oscillator is provided. The voltage control oscillator output a clock signal having a frequency according to an input voltage. The voltage control oscillator includes a current source, a voltage-to-current converter, a current mirror and an oscillating circuit. The current source provides a predetermined reference current. The voltage-to-current converter couples to the



四、中文發明摘要 (發明名稱：電壓控制振盪器)

五、英文發明摘要 (發明名稱：Voltage control oscillator)

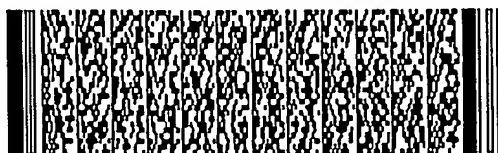
current source and determine a first current passing through the voltage-to-current converter according to the input voltage. The current mirror has a first current terminal and a second current terminal. The first current terminal couples to the current source and determine a third current passing through the second current terminal according to a second current passing through the



四、中文發明摘要 (發明名稱：電壓控制振盪器)

五、英文發明摘要 (發明名稱：Voltage control oscillator)

first current terminal. Wherein, the second current is determined by subtract the first current from the reference current. The oscillating circuit couples to the second current terminal of the current mirror and output the clock signal having the frequency determined according to the third current.



六、指定代表圖

(一)、本案代表圖為：__圖 2A__

(二)、本案代表圖之元件代表符號簡單說明：

200：本發明實施例之電壓控制振盪器

210：電壓轉為電流之電路

220：電壓電流轉換電路

230：電流控制震盪電路

CLK：輸出時脈訊號

CM：電流鏡(current mirror)

CS：定電流源(current source)

IA：第一電流量

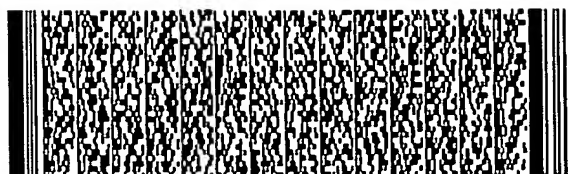
IB：第二電流量

IC：第三電流量

ICO：流控振盪器(current control oscillator)

VCOIN：輸入電壓

WS：整波電路(wave shaping)



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

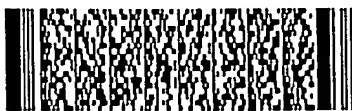
寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得，不須寄存。



五、發明說明 (1)

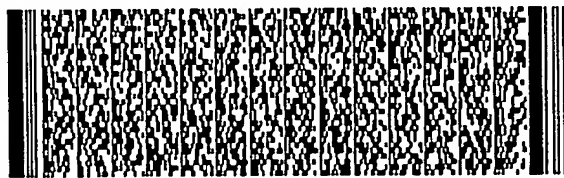
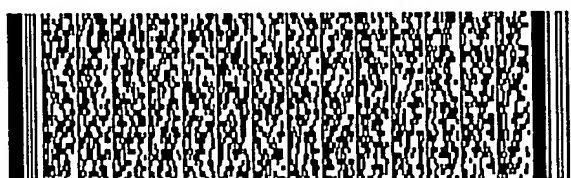
【發明所屬之技術領域】

本發明是有關於一種振盪器，且特別是有關於一種電壓控制振盪器(VCO, voltage control oscillator)。

【先前技術】

一般常用的電壓控制振盪器如圖1A所示。圖1A是一般電壓控制振盪器的方塊圖。請參照圖1A，由輸入電壓VCOIN控制圖1A中電壓控制振盪器100所輸出時脈訊號CLK的頻率。電壓控制振盪器100主要分為電壓電流轉換電路110以及電流控制震盪電路120。對於電流控制震盪電路120而言，在相同電流111供應下，若為slow製程或溫度高則振盪頻率較慢；反之，若為fast製程或溫度低則振盪頻率較快。

圖1B是圖1A電壓控制振盪器中電壓電流轉換電路110的習知電路圖。參照圖1B，供應電流控制震盪電路120所需之電流111一般而言均設計與電流IP相等，而電流 $IP = K * (VCOIN - V_{THN})^2$ 。其中，K為常數， V_{THN} 則為N型電晶體112之臨界電壓(threshold voltage)。臨界電壓 V_{THN} 將隨製程及溫度而反應，換句話說，若為slow製程或溫度高則臨界電壓 V_{THN} 變大；反之，若為fast製程或溫度低則臨界電壓 V_{THN} 變小。由前述等式中可知，在相同的輸入電壓VCOIN下，若在slow製程或溫度高則使電流IP(電流111)變小，因此更使得時脈訊號CLK的振盪頻率更慢；反之，若為fast製程或溫度低則使電流IP(電流111)變大，因此更使得時脈訊號CLK的振盪頻率更快。



五、發明說明 (2)

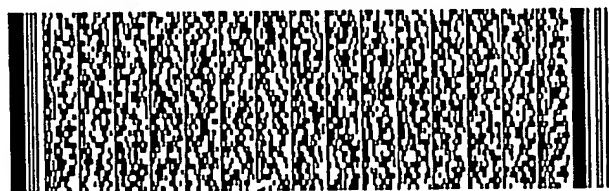
圖1C是圖1A電壓控制振盪器的頻率電壓曲線圖。圖中係設定系統電壓為3.3伏特。由圖可以明顯看出，在同一輸入電壓下，使用不同製程以及不同溫度將有差異極大之不同輸出頻率。

鎖相迴路(PLL, phase lock loop)為電壓控制振盪器最常見的應用之一。鎖相迴路的工作頻率範圍、FM失真、中點頻率漂移、中點頻率及電流電壓靈敏度均由電壓控制振盪器之特性來決定。而中點頻率漂移之發生是因為暫態轉換時間作了振盪頻率週期之很大百分比，而在轉換期間，暫態現象與電路雜散電容、電路電阻、電晶體 g_m 及電晶體輸入電阻有關，這些均與溫度有很大的關係。另一方面，由於生產時製程的漂移也會產生電路狀態改變，故在設計時必須將這些變因加以考慮才能產生符合規格及良率要求的產品。習知之設計若要符合上述規定，通常須加大電路面積及電流電壓，因此增加了成本。

【發明內容】

本發明的目的就是在提供一種電壓控制振盪器，以克服製程漂移及溫度變化對於電壓控制振盪器之影響，進而降低成本。

本發明提出一種電壓控制振盪器，用以依照輸入電壓輸出具有一頻率之時脈訊號。此電壓控制振盪器包括定電流源、電壓電流轉換電路、電流鏡以及振盪電路。定電流源係提供預定之參考電流量。電壓電流轉換電路耦接至定電流源，以依照輸入電壓決定通過電壓電流轉換電路之第



五、發明說明 (3)

一電流量。電流鏡具有第一電流端以及第二電流端，第一電流端耦接至定電流源，以依照通過第一電流端之第二電流量而決定通過第二電流端之第一電流量，其中第二電流量係由該參考電流量減去該第一電流量而決定之。振盪電路耦接至電流鏡之第二電流端，用以依照第三電流量決定所輸出時脈訊號之頻率。

依照本發明的較佳實施例所述電壓控制振盪器，上述之定電流源具有參考電流輸入端以及參考電流輸出端。其中，該參考電流輸出端接地，並且參考電流輸入端耦接並接收電壓電流轉換電路所輸出之第一電流量以及電流鏡之第一電流端所輸出之第二電流量。

依照本發明的較佳實施例所述電壓控制振盪器，上述之定電流源具有參考電流輸入端以及參考電流輸出端。其中，參考電流輸入端耦接至系統電壓，並且參考電流輸出端耦接電壓電流轉換電路以及電流鏡之第一電流端。

本發明主要係將電路分為二部分：一為依製程或溫度變化而正向變化者；另一為依製程或溫度變化而反向變化者。藉調整二者變化率而使得此電路不隨製程或溫度而變化。因此使得控制振盪電路所需電流之製程/溫度效應與控制振盪電路本身之製程/溫度效應互補，而克服了製程漂移及溫度變化對於電壓控制振盪器之影響。

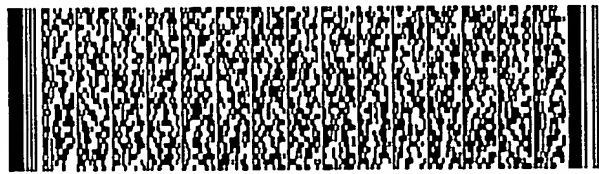
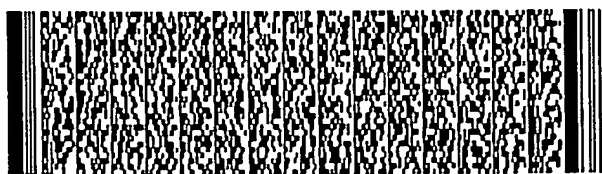
為讓本發明之上述和其他目的、特徵和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下。

五、發明說明 (4)

【實施方式】

本發明主要係將電路分為二部分：一為依製程或溫度變化而正向變化者；另一為依製程或溫度變化而反向變化者。藉調整二者變化率而使得此電路不隨製程或溫度而變化。電流控制振盪電路在相同電流供應下，若為slow製程或溫度高則振盪頻率較慢，而若為fast製程或溫度低則振盪頻率較快。所以本發明將電壓轉換電流之電路設計成在slow製程或溫度高則提供較大電流，而若為fast製程或溫度低則提供較小電流。因此就可在相同的輸入電壓VCOIN下使電壓控制振盪器產生相近的頻率，使得我們可在電壓控制範圍內產生所欲設計的頻率範圍。

圖2A是依照本發明一較佳實施例所繪示的一種具有溫度與製程漂移補償之電壓控制振盪器方塊圖。請參照圖2A，電壓控制振盪器200依照輸入電壓VCOIN決定頻率並輸出時脈訊號CLK。定電流源(current source) CS用以提供預定之固定參考電流量I。其中，定電流源CS之參考電流輸出端接地。電壓電流轉換電路220耦接至定電流源CS之參考電流輸入端。電壓電流轉換電路220接收並依照輸入電壓VCOIN決定通過電壓電流轉換電路220之第一電流量 I_A 。電流鏡(current mirror) CM具有第一電流端以及第二電流端，第一電流端耦接至定電流源CS之參考電流輸入端。電流鏡CM用以依照通過第一電流端之第二電流量 I_B 而決定通過第二電流端之第三電流量 I_C 。由圖中可知，第一電流量 I_A 與第二電流量 I_B 之總電流即為參考電流量I。由



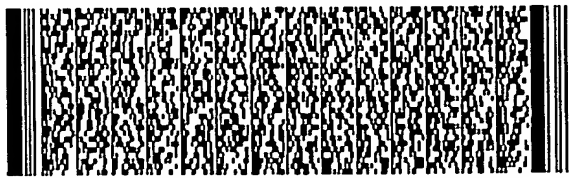
五、發明說明 (5)

於參考電流量 I 為預先設定完成之固定電流，因此第二電流量 I_B 可由參考電流量 I 減去第一電流量 I_A 而決定之。

振盪電路230耦接至電流鏡CM之第二電流端，用以依照第三電流量 I_C 決定所輸出時脈訊號CLK之頻率。於本實施例中，第三電流量 I_C 例如大約等於第二電流量 I_B 。因此，若使用slow製程或是溫度高而使得第一電流量 I_A 變小，此時第二電流量 I_B （即第三電流量 I_C ）將因此變大。反之，若使用fast製程或是溫度低而使得第一電流量 I_A 變大，此時第二電流量 I_B （即第三電流量 I_C ）將因此變小。故可以補償振盪電路230因使用slow製程或是溫度高而使得輸出頻率變小，或是因使用fast製程或是溫度低而使得輸出頻率變大之現象。

於本實施例中，振盪電路230例如包括流控振盪器（current control oscillator）IC0以及整波電路（wave shaping）WS。流控振盪器IC0耦接至電流鏡CM之第二電流端，以接收並依據第三電流量 I_C 決定並輸出脈衝訊號231之頻率。整波電路WS耦接至流控振盪器IC0，以將脈衝訊號231整形為具有預定波形之時脈訊號CLK。

於本實施例中，流控振盪器IC0例如參照圖2B實施之。圖2B是依照本發明一較佳實施例所繪示的一種具有溫度與製程漂移補償之電壓控制振盪器之詳細電路圖。請參照圖2B，在此流控振盪器IC0譬如以反相器INV1~INV5串接成迴路。每一級反相器之操作速度可由所供應之第三電流量 I_C 決定之。



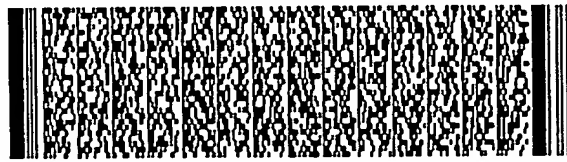
五、發明說明 (6)

於本實施例中，整波電路WS例如參照圖2B實施之。電晶體WSN1之閘極耦接至反相器INV4之輸出端，源極則耦接至接地電壓DVSS。電晶體WSP1之汲極耦接至電晶體WSN1之汲極，電晶體WSP1之源極則耦接至系統電壓DVDD。電晶體WSN2之閘極耦接至反相器INV5之輸出端，源極則耦接至接地電壓DVSS。電晶體WSP2之汲極耦接至電晶體WSN2之汲極，電晶體WSP2之源極則耦接至系統電壓DVDD。電晶體WSP1與電晶體WSP2之閘極均耦接至電晶體WSP1之汲極。緩衝器WSB之輸入端耦接至電晶體WSP2之汲極，而其輸出端輸出時脈訊號CLK。

於本實施例中，電流鏡CM例如參照圖2B實施之。電流鏡CM包括P型電晶體PMOS1與PMOS2。電晶體PMOS1之源極耦接至系統電壓AVDD，閘極與汲極均耦接至定電流源CS之參考電流輸入端。電晶體PMOS2之源極耦接至系統電壓AVDD，閘極耦接至電晶體PMOS1之閘極。電晶體PMOS2之汲極耦接至流控振盪器ICO。

於本實施例中，電壓電流轉換電路220例如參照圖2B實施之。P型電晶體PMOS3之閘極接收輸入電壓VCOIN，源極耦接至系統電壓AVDD，而汲極則耦接至定電流源CS之參考電流輸入端並且輸出第一電流量IA。另外，電晶體PMOS3之基體例如耦接至電晶體PMOS3之源極。

圖2A中電壓轉為電流之電路210亦可依照不同需求而有各種電路設計，其結果均屬於本發明之範疇。為能更清楚說明本發明，以下另舉數個電路210之實施例。



五、發明說明 (7)

圖2C是依照本發明較佳實施例所繪示的具有溫度與製程漂移補償之電壓控制振盪器之另一種電壓轉為電流之電路圖。P型電晶體PMOS3之閘極接收輸入電壓VCOIN，而汲極則耦接至定電流源CS之參考電流輸入端並且輸出第一電流量IA。電阻器R之一端耦接至系統電壓AVDD，另一端則耦接至電晶體PMOS3之源極。定電流源CS之參考電流輸出端耦接至接地電壓AVSS。在此電流鏡CM與圖2A之電流鏡CM相同，故不再贅述。

圖2D是依照本發明較佳實施例所繪示的具有溫度與製程漂移補償之電壓控制振盪器之再一種電壓轉為電流之電路圖。圖2D與圖2C相似，其不同處在於增加一運算放大器OP。此運算放大器OP耦接於輸入電壓VCOIN與電晶體PMOS3閘極之間。其中，運算放大器OP之正輸入端接收輸入電壓VCOIN，運算放大器OP之負輸入端耦接至電晶體PMOS3之源極，運算放大器OP之輸出端則耦接至電晶體PMOS3之閘極。

圖2E是依照本發明較佳實施例所繪示的具有溫度與製程漂移補償之電壓控制振盪器之又一種電壓轉為電流之電路圖。圖2E與圖2C相似，其不同處在於增加一P型電晶體PMOS4。此電晶體PMOS4耦接於電流鏡CM之第一電流端與定電流源CS之參考電流輸入端之間。其中，電晶體PMOS4之源極耦接至電流鏡CM之第一電流端，電晶體PMOS4之閘極以及汲極均耦接至定電流源CS之參考電流輸入端。在此，電晶體PMOS4雖以一個P型電晶體為實施範例，設計者可視

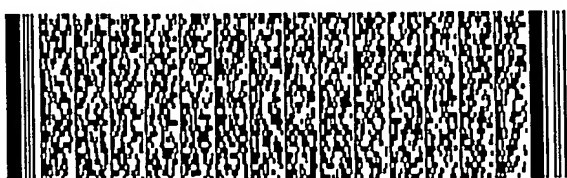


五、發明說明 (8)

需要改變電晶體PMOS4中P型電晶體之數量，其結果亦屬本發明之範疇。

在此再舉一實施例，以更完整說明本發明。圖3A是依照本發明另一較佳實施例所繪示的一種具有溫度與製程漂移補償之電壓控制振盪器方塊圖。請參照圖3A，電壓控制振盪器300依照輸入電壓VCOIN決定頻率並輸出時脈訊號CLK。定電流源CS用以提供預定之固定參考電流量I。其中，定電流源CS之參考電流輸入端耦接至系統電壓AVDD。電壓電流轉換電路320耦接至定電流源CS之參考電流輸出端。電壓電流轉換電路320接收並依照輸入電壓VCOIN決定通過電壓電流轉換電路320之第一電流量IA。電流鏡CM具有第一電流端以及第二電流端，第一電流端耦接至定電流源CS之參考電流輸出端。電流鏡CM用以依照通過第一電流端之第二電流量IB而決定通過第二電流端之第三電流量IC。由圖中可知，第一電流量IA與第二電流量IB之總電流即為參考電流量I。由於參考電流量I為預先設定完成之固定電流，因此第二電流量IB可由參考電流量I減去第一電流量IA而決定之。

振盪電路330耦接至電流鏡CM之第二電流端，用以依照第三電流量IC決定所輸出時脈訊號CLK之頻率。於本實施例中，第三電流量IC例如大約等於第二電流量IB。因此，若使用slow製程或是溫度高而使得第一電流量IA變小，此時第二電流量IB(即第三電流量IC)將因此變大。反之，若使用fast製程或是溫度低而使得第一電流量IA變



五、發明說明 (9)

大，此時第二電流量 I_B （即第三電流量 I_C ）將因此變小。故可以補償振盪電路330因使用slow製程或是溫度高而使得輸出頻率變小，或是因使用fast製程或是溫度低而使得輸出頻率變大之現象。

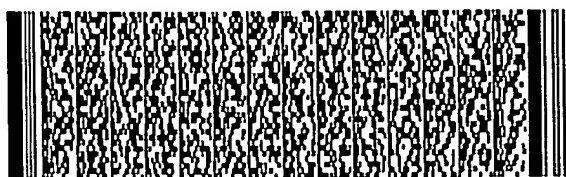
於本實施例中，振盪電路330例如包括流控振盪器IC0以及整波電路WS。在此振盪電路330係與前述實施例中圖2A以及圖2B之振盪電路230相同，故不再贅述。

於本實施例中，電流鏡CM例如包括第一N型電晶體NMOS1以及第二N型電晶體NMOS2。第一N型電晶體NMOS1之源極接地，其閘極與汲極則耦接至定電流源CS之參考電流輸出端。第二N型電晶體NMOS2之源極接地，其閘極耦接至第一N型電晶體NMOS1之閘極。第二N型電晶體NMOS2之汲極則耦接至振盪電路330。

圖3A中之電路310亦可依照不同需求而有各種電路設計，其結果均屬於本發明之範疇。為能更清楚說明本發明，以下列舉數個電路310之實施例。

圖3B是依照本發明另一較佳實施例所繪示的具有溫度與製程漂移補償之電壓控制振盪器之一種電壓轉電流電路圖。於本實施例中，電壓電流轉換電路320例如包括N型電晶體NMOS3。電晶體NMOS3之閘極接收輸入電壓VCOIN，源極耦接至接地電壓AVSS，而汲極則耦接至定電流源CS之參考電流輸出端並且通過第一電流量 I_A 。在此電流鏡CM與圖3A之電流鏡CM相同，故不再贅述。

圖3C是依照本發明另一較佳實施例所繪示的具有溫度

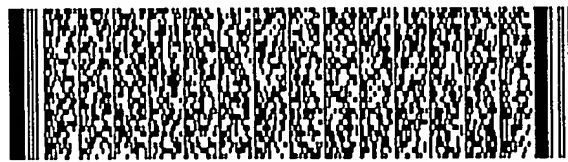


五、發明說明 (10)

與製程漂移補償之電壓控制振盪器之另一種電壓轉為電流之電路圖。電晶體NMOS3之閘極接收輸入電壓VCOIN，而汲極則耦接至定電流源CS之參考電流輸出端並且通過第一電流量IA。電阻器R之一端耦接至接地電壓AVSS，另一端則耦接至電晶體NMOS3之源極。定電流源CS之參考電流輸入端耦接至系統電壓AVDD。在此電流鏡CM與圖3A之電流鏡CM相同，故不再贅述。

圖3D是依照本發明另一較佳實施例所繪示的具有溫度與製程漂移補償之電壓控制振盪器之再一種電壓轉為電流之電路圖。圖3D與圖3C相似，其不同處在於增加一運算放大器OP。此運算放大器OP耦接於輸入電壓VCOIN與電晶體NMOS3閘極之間。其中，運算放大器OP之正輸入端接收輸入電壓VCOIN，運算放大器OP之負輸入端耦接至電晶體NMOS3之源極，運算放大器OP之輸出端則耦接至電晶體NMOS3之閘極。

圖3E是依照本發明另一較佳實施例所繪示的具有溫度與製程漂移補償之電壓控制振盪器之又一種電壓轉為電流之電路圖。圖3E與圖3C相似，其不同處在於增加一N型電晶體NMOS4。此電晶體NMOS4耦接於電流鏡CM之第一電流端與定電流源CS之參考電流輸出端之間。其中，電晶體NMOS4之源極耦接至電流鏡CM之第一電流端，電晶體NMOS4之閘極以及汲極均耦接至定電流源CS之參考電流輸出端。在此，電晶體NMOS4雖以一個N型電晶體為實施範例，設計者可視需要改變電晶體NMOS4中N型電晶體之數量，其結果

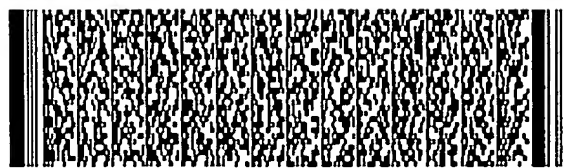
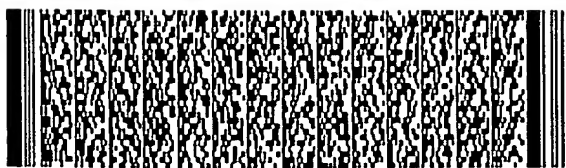


五、發明說明 (11)

亦屬本發明之範疇。

圖4為本發明實施例之電壓控制振盪器的頻率電壓曲線圖。我們可以看出欲使用的輸出頻率133.3MHz設計在一半電源電壓左右，且設計規格的頻率的控制電壓平均分布在皆使電晶體工作在飽和區的電壓範圍內。另一方面對任一頻率而言控制的電壓範圍縮小了，因此對於此電路的使更方便了。對於增加參考電流所產生的耗電問題，可藉由電流鏡放大功能減小至可忽略的電流量。若不能用穩壓器產生所需的參考電流，雖參考電流也會因製程及溫度漂移而變化，不過只要使電壓轉電流之電路和電流控制振盪電路的反應相反就能產生本發明的結果，或而改善習知線路的問題。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

圖1A是一般電壓控制振盪器的方塊圖。

圖1B是圖1A電壓控制振盪器中電壓電流轉換電路的習知電路圖。

圖1C是圖1A電壓控制振盪器的頻率電壓曲線圖。

圖2A是依照本發明一較佳實施例所繪示的一種具有溫度與製程漂移補償之電壓控制振盪器方塊圖。

圖2B是依照本發明一較佳實施例所繪示的一種具有溫度與製程漂移補償之電壓控制振盪器之詳細電路圖。

圖2C是依照本發明較佳實施例所繪示的具有溫度與製程漂移補償之電壓控制振盪器之另一種電壓轉為電流之電路圖。

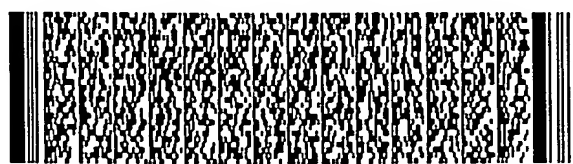
圖2D是依照本發明較佳實施例所繪示的具有溫度與製程漂移補償之電壓控制振盪器之再一種電壓轉為電流之電路圖。

圖2E是依照本發明較佳實施例所繪示的具有溫度與製程漂移補償之電壓控制振盪器之又一種電壓轉為電流之電路圖。

圖3A是依照本發明另一較佳實施例所繪示的一種具有溫度與製程漂移補償之電壓控制振盪器方塊圖。

圖3B是依照本發明另一較佳實施例所繪示的具有溫度與製程漂移補償之電壓控制振盪器之一種電壓轉為電流之電路圖。

圖3C是依照本發明另一較佳實施例所繪示的具有溫度與製程漂移補償之電壓控制振盪器之另一種電壓轉為電流



圖式簡單說明

之電路圖。

圖3D是依照本發明另一較佳實施例所繪示的具有溫度與製程漂移補償之電壓控制振盪器之再一種電壓轉為電流之電路圖。

圖3E是依照本發明另一較佳實施例所繪示的具有溫度與製程漂移補償之電壓控制振盪器之又一種電壓轉為電流之電路圖。

圖4為本發明實施例之電壓控制振盪器的頻率電壓曲線圖。

【圖式標示說明】

100：習知之電壓控制振盪器

110：習知之電壓電流轉換電路

120、230、330：電流控制震盪電路

111：控制震盪電路之電流

112：N型電晶體

200、300：本發明實施例之電壓控制振盪器

210、310：電壓轉為電流之電路

220、320：電壓電流轉換電路

CLK：輸出時脈訊號

CM：電流鏡(current mirror)

CS：定電流源(current source)

IA：第一電流量

IB：第二電流量



圖式簡單說明

IC : 第三電流量

ICO : 流控振盪器(current control oscillator)

INV1~INV5 : 反相器

IP : 輸入電壓VCOIN所轉換之電流

OP : 運算放大器

R : 電阻器

VCOIN : 輸入電壓

WS : 整波電路(wave shaping)

WSB : 緩衝器

WSN1~WSN2、NMOS1~NMOS4 : N型電晶體

WSP1~WSP2、PMOS1~PMOS4 : P型電晶體



六、申請專利範圍

1. 一種電壓控制振盪器，用以依照一輸入電壓輸出具有一頻率之一時脈訊號，該電壓控制振盪器包括：

一定電流源，用以提供預定之一參考電流量；

一電壓電流轉換電路，耦接至該定電流源，用以依照該輸入電壓決定通過該電壓電流轉換電路之一第一電流量；

一電流鏡，具有一第一電流端以及一第二電流端，該第一電流端耦接至該定電流源，用以依照通過該第一電流端之一第二電流量以決定通過該第二電流端之一第三電流量，其中該第二電流量係由該參考電流量減去該第一電流量而決定之；以及

一振盪電路，耦接至該電流鏡之第二電流端，用以依照該第三電流量決定所輸出該時脈訊號之該頻率。

2. 如申請專利範圍第1項所述之電壓控制振盪器，其中該振盪電路包括：

一流控振盪器，耦接至該電流鏡之第二電流端，用以接收並依據該第三電流量決定該頻率並輸出具有該頻率之一脈衝訊號；以及

一整波電路，耦接至該流控振盪器，用以將該脈衝訊號整形為具有預定波形之該時脈訊號。

3. 如申請專利範圍第1項所述之電壓控制振盪器，其中該定電流源具有一參考電流輸入端以及一參考電流輸出端，其中該參考電流輸出端接地，該參考電流輸入端耦接並接收該電壓電流轉換電路所輸出之該第一電流量以及該



六、申請專利範圍

電流鏡之第一電流端所輸出之該第二電流量。

4. 如申請專利範圍第3項所述之電壓控制振盪器，其中該電流鏡包括：

一第一P型電晶體，該第一P型電晶體之源極耦接至一系統電壓，該第一P型電晶體之閘極耦接至該第一P型電晶體之汲極以及該參考電流輸入端；以及

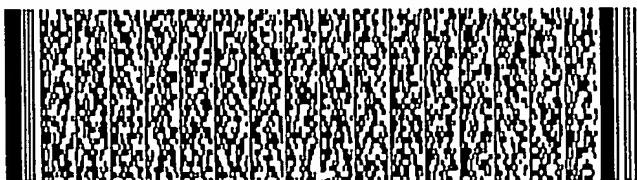
一第二P型電晶體，該第二P型電晶體之源極耦接至該系統電壓，該第二P型電晶體之閘極耦接至該第一P型電晶體之閘極，該第二P型電晶體之汲極耦接至該振盪電路。

5. 如申請專利範圍第3項所述之電壓控制振盪器，其中該電壓電流轉換電路包括一第三P型電晶體，該第三P型電晶體之閘極接收該輸入電壓，該第三P型電晶體之源極耦接至一系統電壓，該第三P型電晶體之汲極耦接至該參考電流輸入端並且輸出該第一電流量。

6. 如申請專利範圍第5項所述之電壓控制振盪器，其中該第三P型電晶體之基體耦接至該第三P型電晶體之源極。

7. 如申請專利範圍第5項所述之電壓控制振盪器，其中該電壓電流轉換電路更包括一電阻器，該電阻器耦接於該系統電壓與該第三P型電晶體之源極之間。

8. 如申請專利範圍第7項所述之電壓控制振盪器，其中該電壓電流轉換電路更包括一運算放大器耦接於該輸入電壓與該第三P型電晶體之閘極之間，其中該運算放大器之正輸入端接收該輸入電壓，該運算放大器之負輸入端耦



六、申請專利範圍

接至該第三P型電晶體之源極，該運算放大器之輸出端耦接至該第三P型電晶體之閘極。

9. 如申請專利範圍第3項所述之電壓控制振盪器，更包括一第四P型電晶體耦接於該電流鏡之第一電流端與該參考電流輸入端之間，其中該第四P型電晶體之源極耦接至該電流鏡之第一電流端，該第四P型電晶體之閘極耦接至該第四P型電晶體之汲極以及該參考電流輸入端。

10. 如申請專利範圍第1項所述之電壓控制振盪器，其中該定電流源具有一參考電流輸入端以及一參考電流輸出端，其中該參考電流輸入端耦接至一系統電壓，該參考電流輸出端耦接該電壓電流轉換電路以及該電流鏡之第一電流端。

11. 如申請專利範圍第10項所述之電壓控制振盪器，其中該電流鏡包括：

一第一N型電晶體，該第一N型電晶體之源極接地，該第一N型電晶體之閘極耦接至該第一N型電晶體之汲極以及該參考電流輸出端；以及

一第二N型電晶體，該第二N型電晶體之源極接地，該第二N型電晶體之閘極耦接至該第一N型電晶體之閘極，該第二N型電晶體之汲極耦接至該振盪電路。

12. 如申請專利範圍第10項所述之電壓控制振盪器，其中該電壓電流轉換電路包括一第三N型電晶體，該第三N型電晶體之閘極接收該輸入電壓，該第三N型電晶體之源極接地，該第三N型電晶體之汲極耦接至該參考電流輸出



六、申請專利範圍

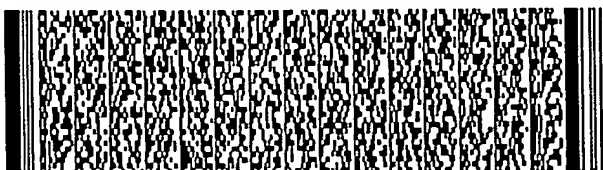
端以通過該第一電流量。

13. 如申請專利範圍第12項所述之電壓控制振盪器，其中該電壓電流轉換電路更包括一電阻器，該電阻器耦接於該第三N型電晶體之源極與接地之間。

14. 如申請專利範圍第13項所述之電壓控制振盪器，其中該電壓電流轉換電路更包括一運算放大器耦接於該輸入電壓與該第三N型電晶體之閘極之間，其中該運算放大器之正輸入端接收該輸入電壓，該運算放大器之負輸入端耦接至該第三N型電晶體之源極，該運算放大器之輸出端耦接至該第三N型電晶體之閘極。

15. 如申請專利範圍第10項所述之電壓控制振盪器，更包括一第四N型電晶體耦接於該電流鏡之第一電流端與該參考電流輸出端之間，其中該第四N型電晶體之源極耦接至該電流鏡之第一電流端，該第四N型電晶體之閘極耦接至該第四N型電晶體之汲極以及該參考電流輸出端。

16. 如申請專利範圍第1項所述之電壓控制振盪器，其中該第三電流量約等於該第二電流量。



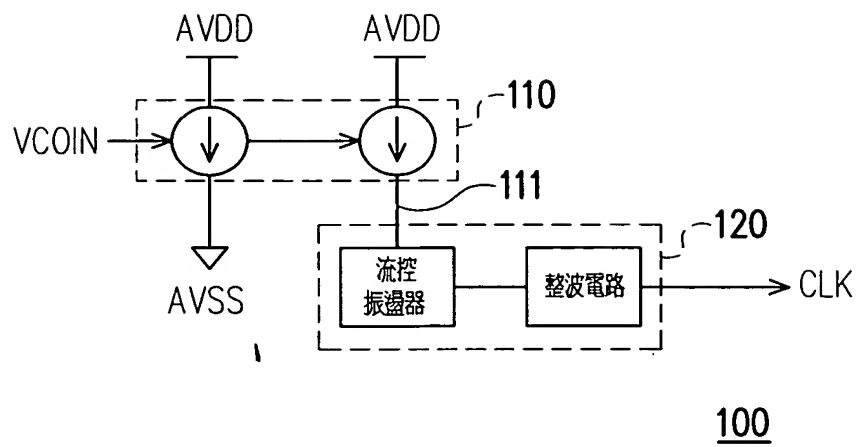


圖 1A

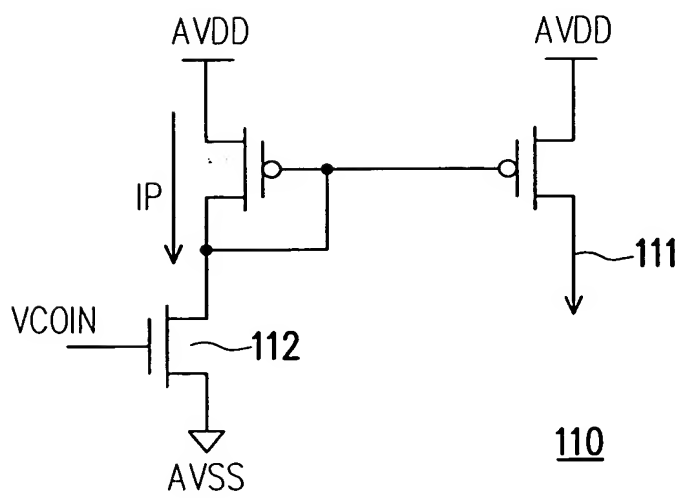


圖 1B

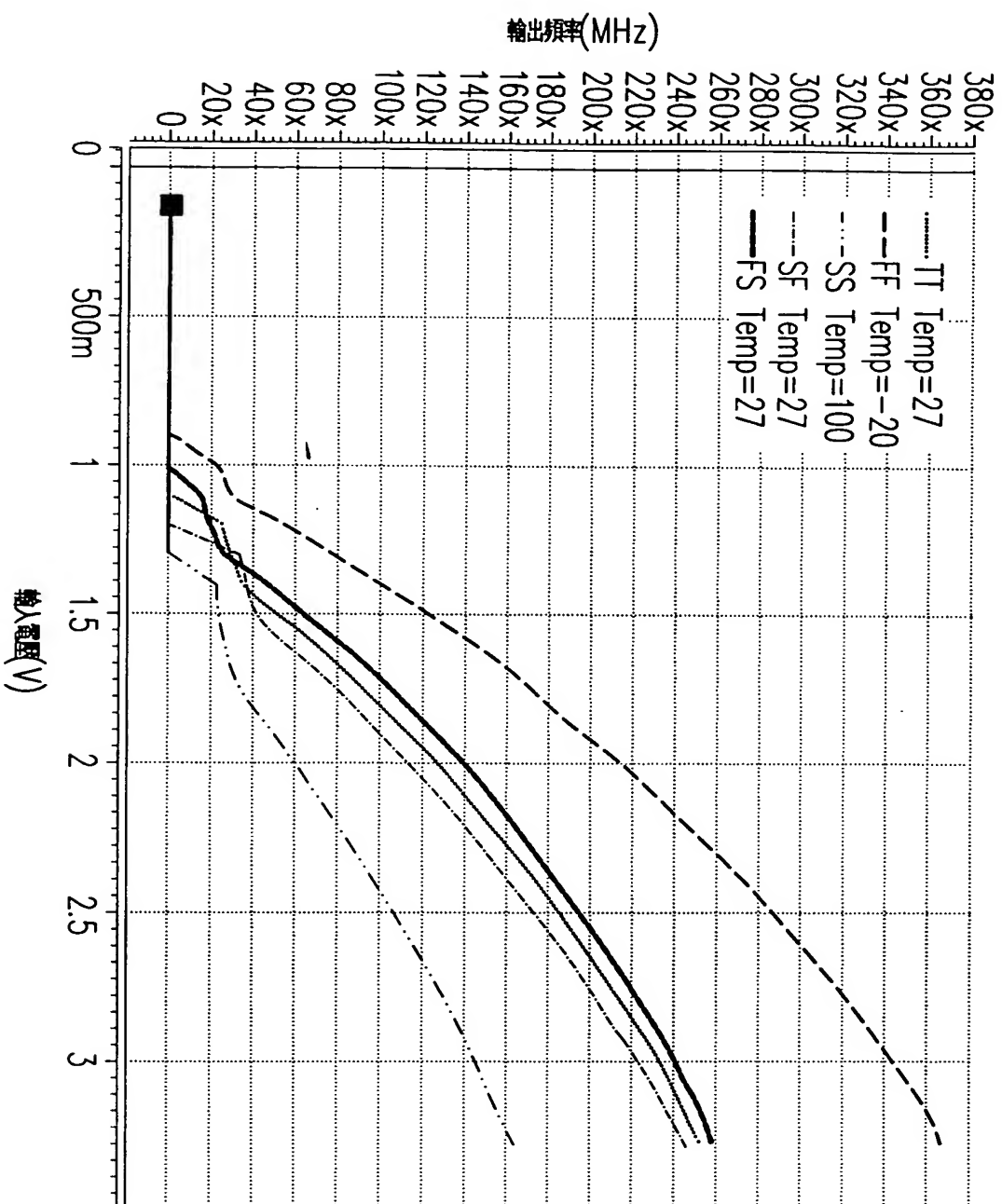
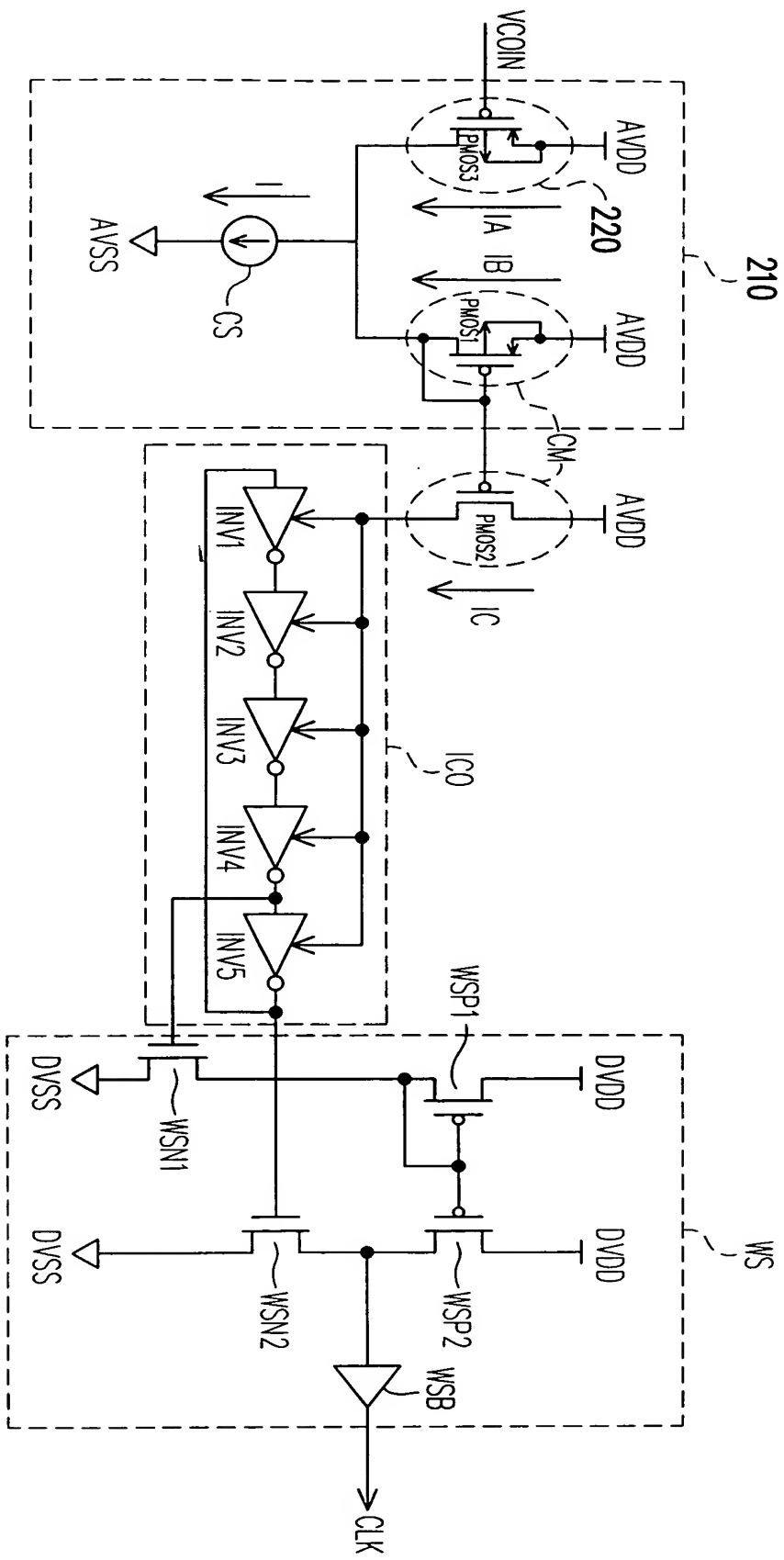


圖 1C



2B 圖

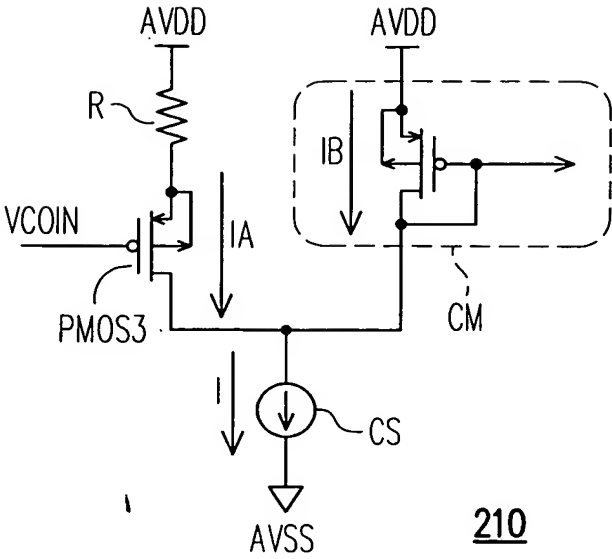


圖 2C

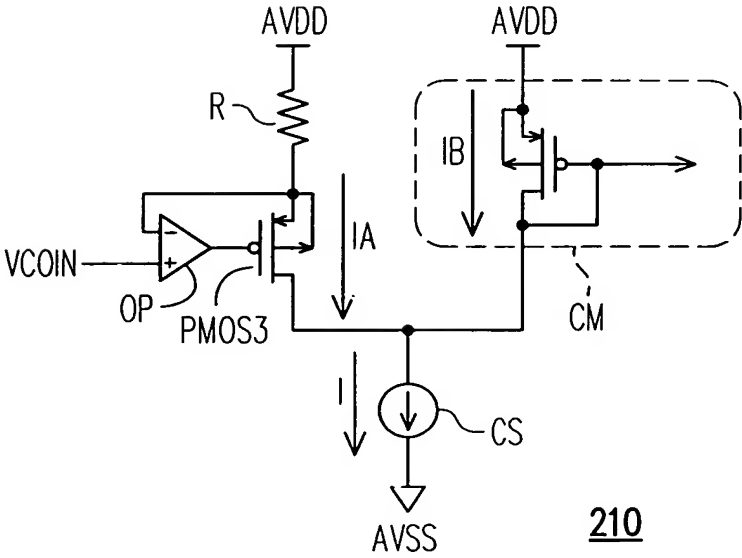


圖 2D

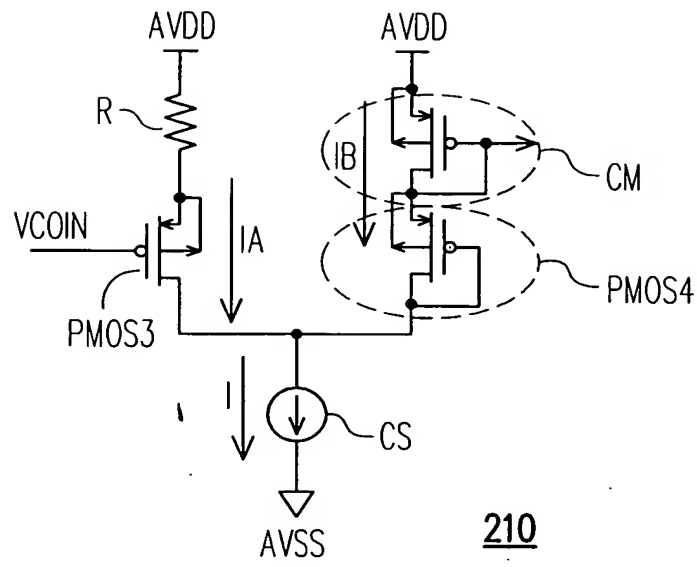


圖 2E

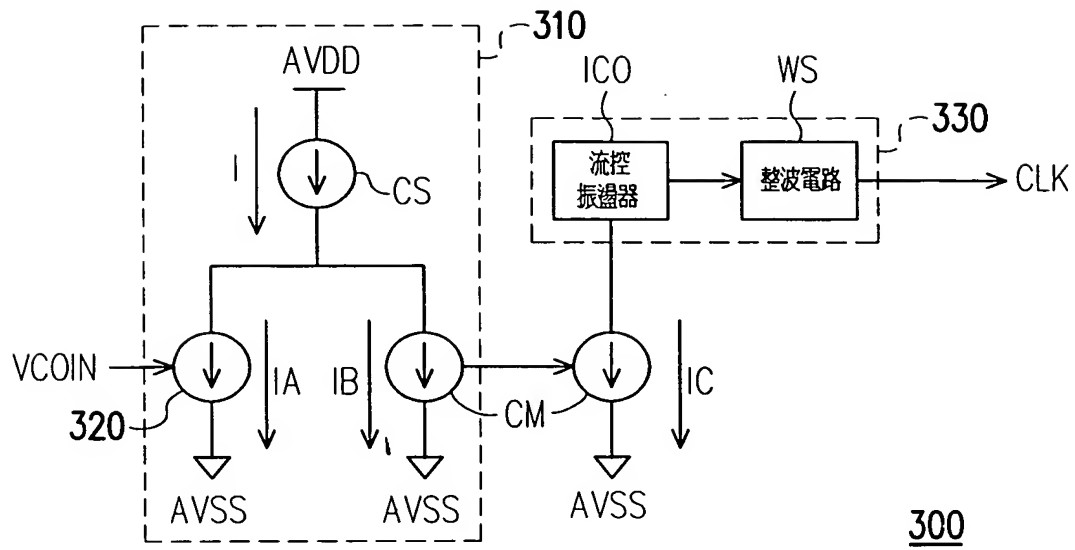
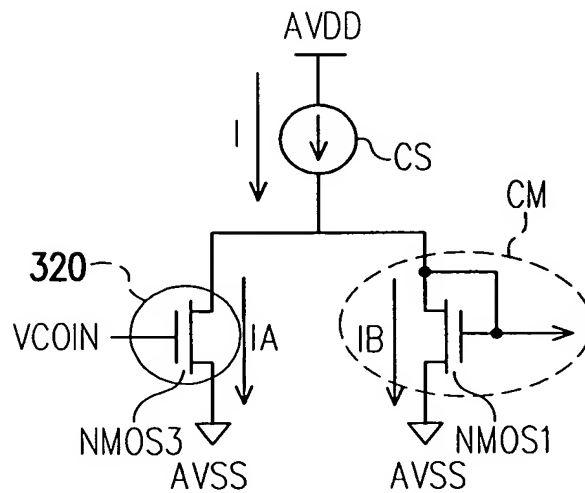
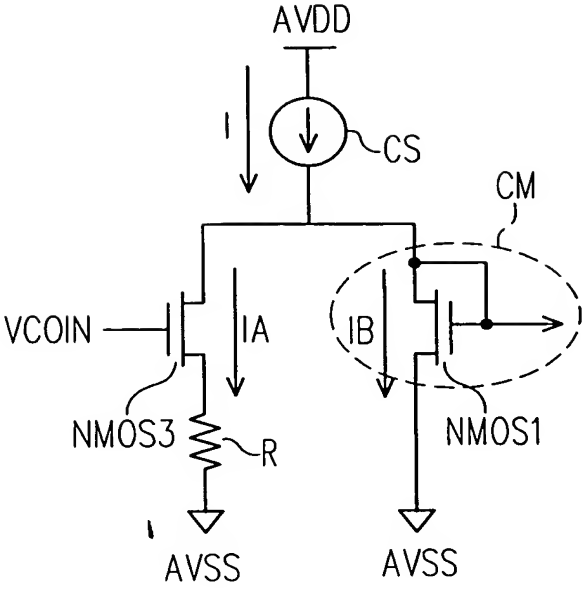


圖 3A



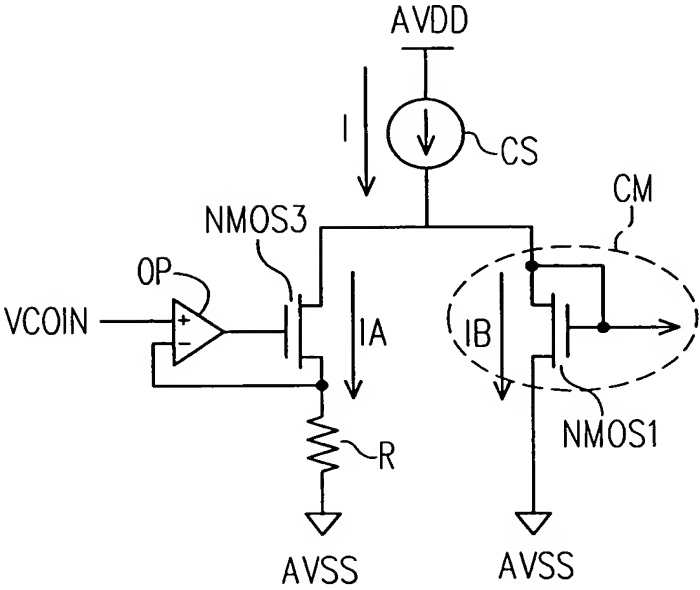
310

圖 3B



310

圖 3C



310

圖 3D

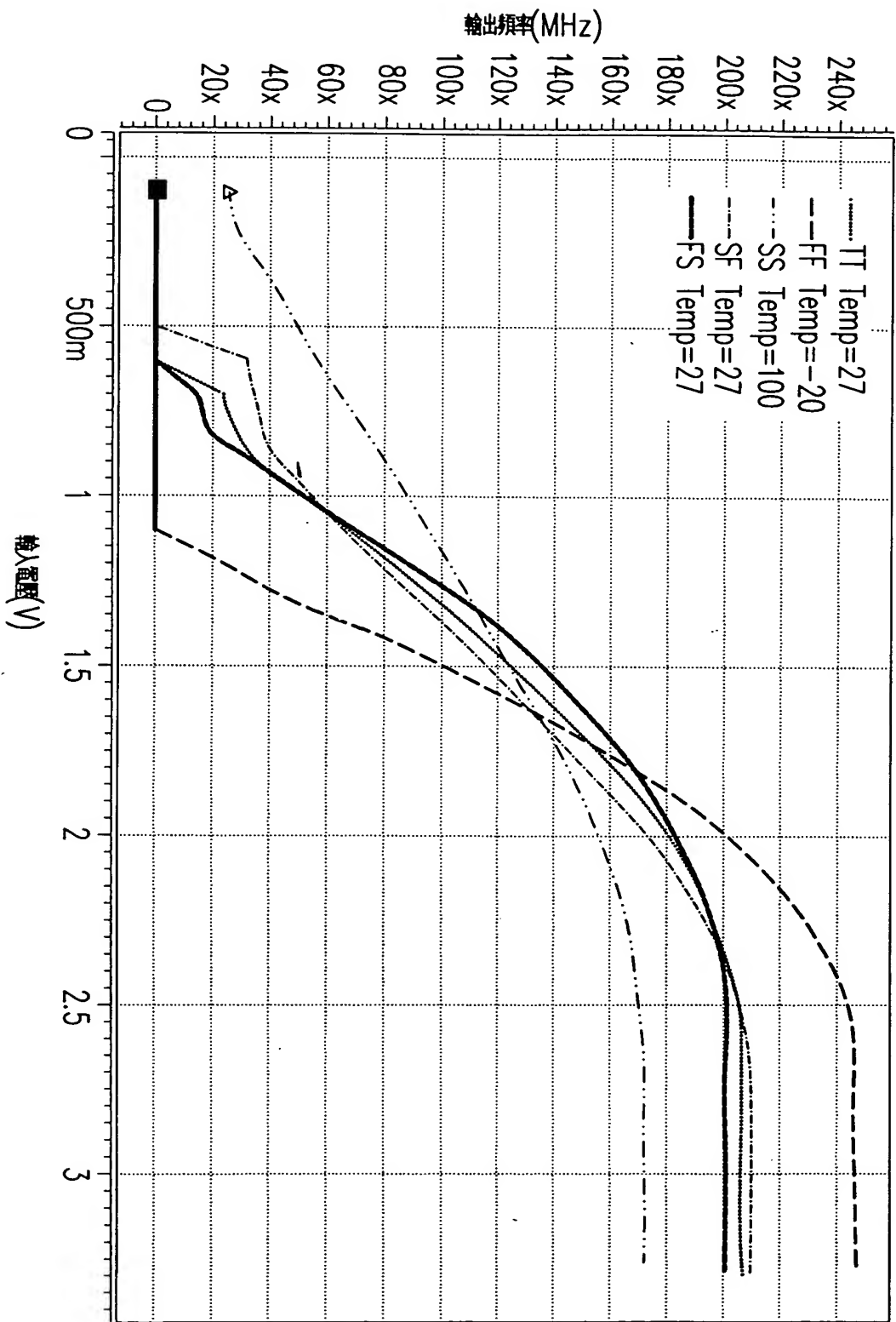
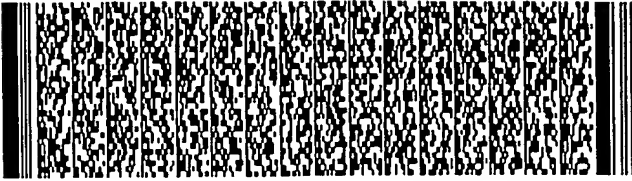
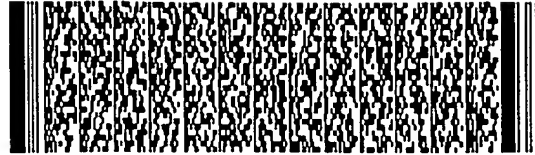


圖 4

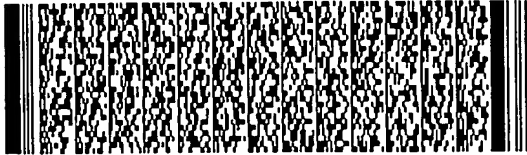
第 1/24 頁



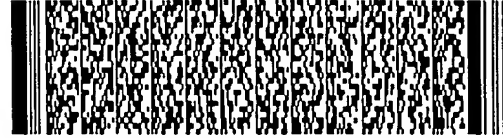
第 2/24 頁



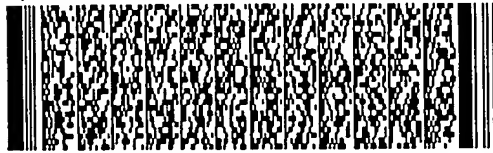
第 2/24 頁



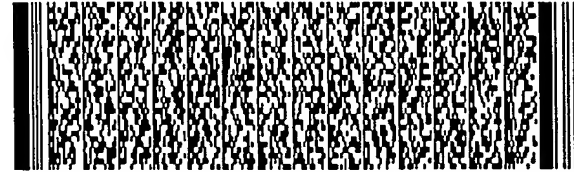
第 3/24 頁



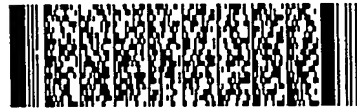
第 4/24 頁



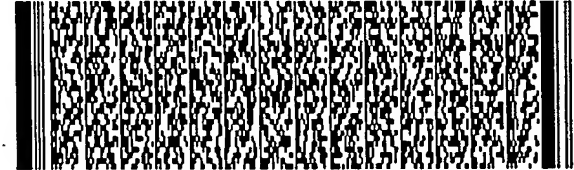
第 5/24 頁



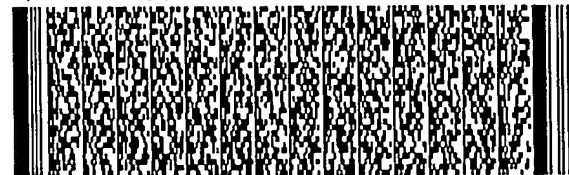
第 6/24 頁



第 7/24 頁



第 7/24 頁



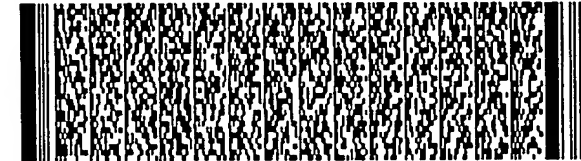
第 8/24 頁



第 8/24 頁



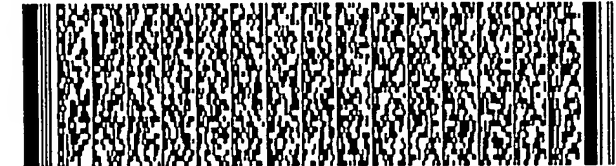
第 9/24 頁



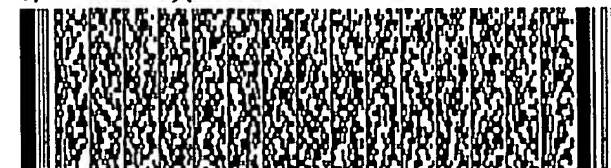
第 9/24 頁



第 10/24 頁



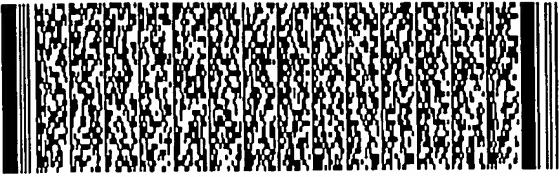
第 10/24 頁



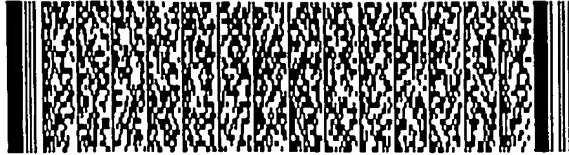
第 11/24 頁



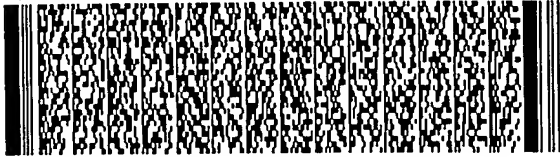
第 11/24 頁



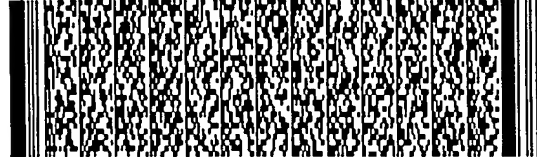
第 12/24 頁



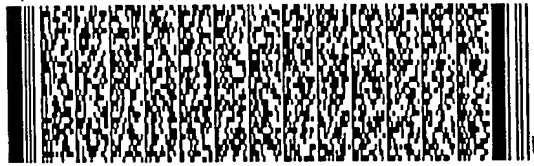
第 12/24 頁



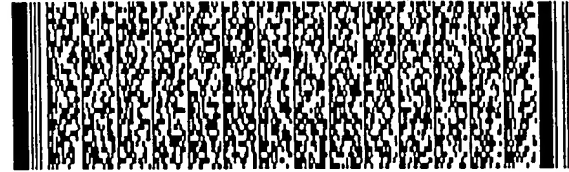
第 13/24 頁



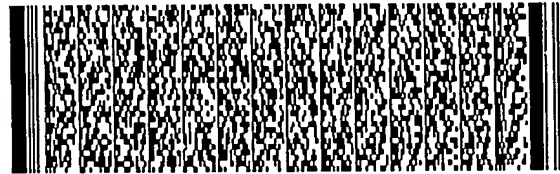
第 13/24 頁



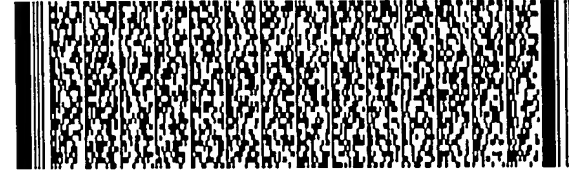
第 14/24 頁



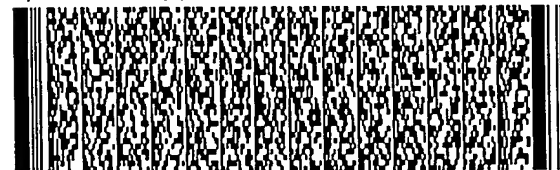
第 14/24 頁



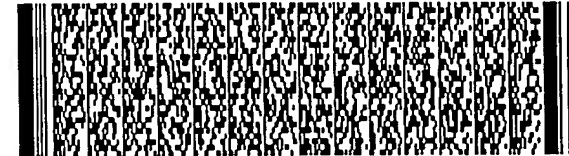
第 15/24 頁



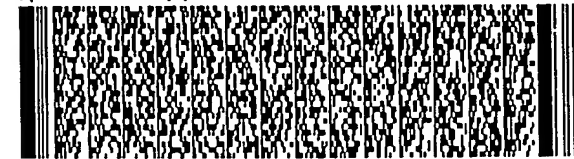
第 15/24 頁



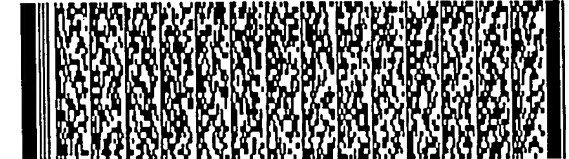
第 16/24 頁



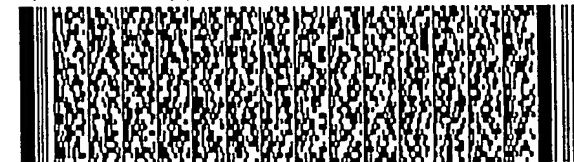
第 16/24 頁



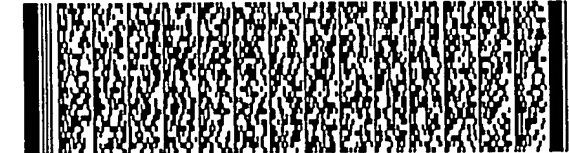
第 17/24 頁



第 17/24 頁



第 18/24 頁



第 19/24 頁



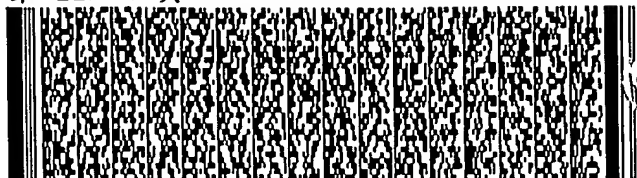
第 20/24 頁



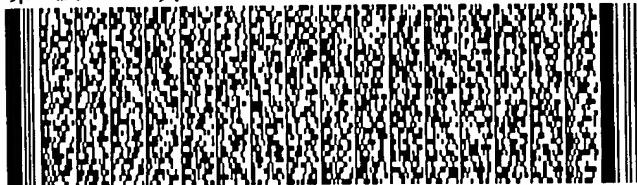
第 21/24 頁



第 22/24 頁



第 23/24 頁



第 24/24 頁

